

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10308667 A**

(43) Date of publication of application: 17.11.98

(51) Int. Cl.

H03L 7/18

H03L 7/199

(21) Application number 09130284

(71) Applicant: **NEC CORP**

(22) Date of filing: 02.05.97

(72) Inventor: **JOKURA ATSUSHI**

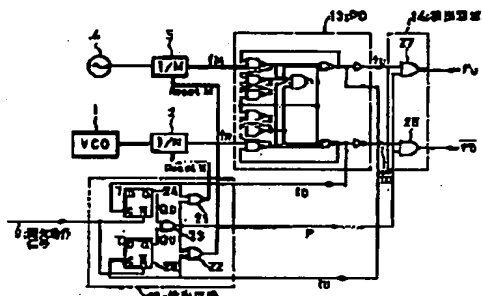
(54) PLL FREQUENCY SYNTHESIZER

COPYRIGHT· (C)1998,JPO

(57) Abstract.

PROBLEM TO BE SOLVED: To provide a PLL synthesizer which can considerably shorten a pull-in time at the time of intermittent operation.

SOLUTION: A synthesizer is provided with a fixed frequency divider 5 which frequency-divides the output of a reference oscillator 4, and a detection circuit 16 in which a reset function is provided for a variable frequency divider 2 which frequency-divides the output of a voltage control oscillator 1 and which detects an initial phase difference signal from a phase compactor 13 at pull-on time at the time of the intermittent operation. In such a case, the frequency dividers 2 and 5 are reset in accordance with the phase advance and delay prior to synchronism convergence, frequency-dividing phases are made equal and a filter is provided for the post stage of a phase compactor. An initial phase difference signal is not transmitted to CP(charge pump) and PLL synchronism is executed only a phase comparison signal corresponding to the frequency difference from a state where the phases are arranged.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-308667

(43) 公開日 平成10年(1998)11月17日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 L 7/18
7/199

H 0 3 L 7/18
7/10

Z
G

審査請求 有 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平9-130284

(22) 出願日 平成9年(1997)5月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 城倉 淳

東京都港区芝五丁目7番1号 日本電気株式会社内

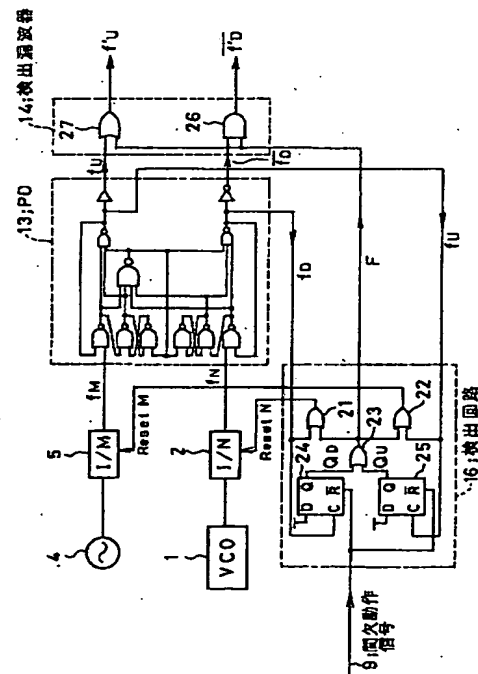
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 PLL周波数シンセサイザ

(57) 【要約】

【課題】 間欠動作時の同期引込み時間を大幅に短縮することのできるPLLシンセサイザの提供。

【解決手段】 基準発振器の出力を分周する固定分周器と、電圧制御発振器の出力を分周する可変分周器にリセット機能を備え、間欠動作時のPLL ON時の位相比較器からの初期位相差信号を検出する検出回路を備え、同期収束に先んじ両分周器を位相進み、遅れに応じてリセットして分周出力位相を等しくし、位相比較器後段に濾波器を備え、初期位相差信号をCPに伝えず、位相を揃えた状態からの周波数差に応じた位相比較信号のみでPLL同期を行う。



【特許請求の範囲】

【請求項1】基準発振器の出力を分周する固定型分周器と、電圧制御発振器の出力を分周する可変型分周器と、にリセット機能を備え、

これらの二つの分周器の分周出力の位相差を検出する位相比較器の出力を入力し、間欠動作時におけるPLLループクローズ時の、前記位相比較器の初期位相差信号を検出する検出手段を備えると共に、

前記位相比較器の後段に、前記位相比較器の出力の後段への伝達を制御する回路手段を備え、

前記検出手段は、同期収束に先んじ前記分周器を、その位相進み及び遅れに応じてリセットして分周出力の位相を等しくし、

前記位相比較器の後段の前記回路手段は、前記位相比較器の初期位相差信号を後段のチャージポンプには伝えず、

位相を揃えた状態からの周波数差に応じた位相比較信号でPLL同期を行う、ことを特徴とするPLL周波数シンセサイザ。

【請求項2】基準周波数を出力する第1の発振器と、前記第1の発振器の出力を固定分周する第1の分周器と、

目的周波数を出力する第2の発振器と、

前記第2の発振器の出力を可変分周する第2の分周器と、

前記第1の分周器と前記第2の分周器の出力の位相比較を行う位相比較器と、

前記位相比較器の出力を積分し前記第2の発振器を制御する積分器と、

を有するPLL周波数シンセサイザにおいて、

前記第1の分周器、及び前記第2の分周器がリセット機能を有し、

前記第1の分周器、及び第2の分周出力の位相差に応じて、前記位相比較器から出力される位相信号のうち、前記第2の分周出力の位相進みがあった場合の位相進み信号により、前記第2の分周器をリセットし、逆に、前記第2の分周出力に位相遅れがあった場合の位相遅れ信号により、前記第1の分周器をリセットするように制御する手段を、備えてなることを特徴とするPLL周波数シンセサイザ。

【請求項3】請求項1記載のPLL周波数シンセサイザにおいて、

間欠動作時にPLLループの信号経路をカットし、前記第2の発振器を制御する前記積分器内の容量の電荷により、前記第2の発振器の出力周波数を保つPLLループのオープン及びクローズする手段を備えている、ことを特徴とするPLL周波数シンセサイザ。

【請求項4】請求項1、又は2記載のPLL周波数シンセサイザにおいて、

PLLループのクローズ時に、前記位相比較器より出力

される初期位相差信号を後段に伝達しない初期位相差濾波器を備えている、ことを特徴とするPLL周波数シンセサイザ。

【請求項5】基準発振器の出力を分周する第1分周器と、目的周波数を出力する電圧制御発振器の出力を分周する第2分周器と、がリセット機能を具備し、

前記第1分周器と前記第2分周器の出力の位相を比較する位相比較器での初期位相差を検出し、前記第1分周器と前記第2分周器のリセットを制御するとともに、その初期位相差を、後段に伝えないように制御する回路手段を備え、

PLLシンセサイザの間欠動作において、クローズループ時、前記第1、第2の分周器の出力の初期位相差を、前記位相比較器の出力より検出し、位相の進んでいる出力側の分周器をリセットし、位相の遅れている側の分周器出力の出力エッジに合わせリセットを解除することにより、前記第1、第2の分周器の出力位相を等しくし、位相を合わせた後に前記位相比較器の出力を後段に伝える、ことにより、位相同期ループの引込み時間を短縮するようにしたことを特徴とするPLL周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL (Phase Locked Loop; 位相同期ループ) シンセサイザに関し、特に、省電力型無線送受信機の間欠動作時にロックアップタイムを高速化したPLLシンセサイザに関する。

【0002】

【従来の技術】無線機には、その局部発振源として、PLLによる周波数シンセサイザが広く用いられている。携帯端末等にあつては、電池を長寿命化させる為の省電力化が進み、受信機の中でも、PLLシンセサイザの消費電流の占める割合が大きく、そのため、待受け状態における間欠受信時には、発振周波数を一定チャネルに保ったまま、PLLシンセサイザを間欠動作させるという方式がとられていた。

【0003】以下、この従来の方式の原理を、図5を用いて説明する。図5は、従来の間欠動作型のPLLシンセサイザの構成原理をブロック図にて示したものである(特開昭60-248022号公報参照)。なお、この特開昭60-248022号公報には、2つの分周器の位相を検出し、位相が一致した時にPLLループを形成することにより、非PLL動作からPLL動作に移行する際の同期引き込みを迅速に行うことを図る周波数シンセサイザが提案されている。

【0004】図5において、1は電圧制御発振器(VCO)、2は可変分周器、3はチャージポンプを有する位相比較器(PD)、4は基準周波数信号源となる発振器、5は固定分周器、6は位相比較器の出力と低域通過

フィルタ(LPF)7間に設けられたスイッチ(SW6)、8はスイッチSW6を制御する制御回路(CONT)である。

【0005】上記構成において、PLLシンセサイザの間欠動作時において、VCO1のみが動作して、他は全てOFFの状態の時は、スイッチSW6をOFFとし、LPF7の入力端子は高インピーダンスとなり、LPF7を構成するラグリードフィルタの容量の電荷は放電することなく保持され、LPF7出力電圧はPLL動作時とほぼ同一の一定電圧に保持されている。

【0006】次にPLL動作に復帰する場合には、制御回路8よりスイッチSW6をONし、クローズループ(閉ループ)とする。このスイッチSW6の再投入時の同期引込み時間が短いほど、間欠動作時の切断時間を余分に確保できる為、省電力化の効果がある。

【0007】しかし、PLL動作開始時に、位相比較器3の2つの入力周波数がほぼ一致した状態にあっても、位相に差が存在した場合、同期引込みに、時間を要するという問題がある。

【0008】そこで、例えば特開昭64-1330号公報には、基準発振器と固定分周器との間、及び電圧制御発振器と可変分周器との間にそれぞれゲート回路を設け、固定分周器及び可変分周器の出力を入力とするゲート制御回路を設けることにより、初期入力位相の調整を行い、間欠動作時の同期引き込み時間の短縮を図るようにした周波数シンセサイザが提案されている。この従来の高速引き込み型のPLLシンセサイザの構成を図6に示す。

【0009】図6において、10は基準発振器4と固定分周器5との間に挿入したゲート回路(G1)、11はVCO1と可変分周器2の間に挿入したゲート回路(G2)、12は、固定分周器5と可変分周器2とを入力とし、間欠動作信号9によってゲート回路10、11及びスイッチSW6の動作を制御する制御回路(CONT)である。

【0010】この構成において、PLLループクローズ時には、固定分周器5出力を基準として、初期位相差が遅れ位相の場合には、第1のゲート回路10によって固定分周器5の入力を止め、進み位相の場合には第2のゲート回路11によって可変分周器2の入力を止め、位相比較器3の入力位相を合わせ、大きな位相差信号が出ないようにしており、PLLの引込み時間を短縮化する。

【0011】制御回路12では、固定分周器5と可変分周器2の初期位相差がゲート回路動作により調整された後に、スイッチSW6をONし、クローズループとし、PLL動作を開始する。

【0012】

【発明が解決しようとする課題】しかしながら、図6に示した従来の技術において、ゲート回路による分周器への入力の制限のみでは、初期位相の制御に限界があり、

間欠動作時の同期引込みの時間短縮が充分でない、という問題点を有している。

【0013】その理由は、ゲート回路による分周器入力遮断、及び、再開放時に、分周器でのパルスカウントに誤差が出る可能性があり、両方で最大2周期分、すなわち、(基準発振周波数) $\times 2$ 、あるいは、(VCO発振周波数) $\times 2$ 、の初期位相誤差が生じることを考慮する必要があるためである。

【0014】したがって、本発明は上記した従来技術の問題点を解消する為になされたもので、その目的は、ゲート回路によらず、PLLループクローズ時の初期位相差を精度良くキャンセルすることにより、同期引込み時間のより大幅な短縮化を図り、低消費電力のPLL周波数シンセサイザを提供することにある。

【0015】

【課題を解決するための手段】前記目的を達成する本発明のPLLシンセサイザは、基準周波数を出力する第1の発振器と、前記第1の発振器の出力を固定分周する第1の分周器と、目的周波数を出力する第2の発振器と、前記第2の発振器の出力を可変分周する第2の分周器と、前記第1の分周器と前記第2の分周器の出力の位相比較を行う位相比較器と、前記位相比較器の出力を積分し前記第2の発振器を制御する積分器と、を有するPLL周波数シンセサイザにおいて、前記第1の分周器、及び前記第2の分周器がリセット機能を有し、前記第1の分周器、及び第2の分周出力の位相差に応じて、前記位相比較器から出力される位相信号のうち、前記第2の分周出力の位相進みがあった場合の位相進み信号により、前記第2の分周器をリセットし、逆に、前記第2の分周出力に位相遅れがあった場合の位相遅れ信号により、前記第1の分周器をリセットするように制御する手段を、備えてなることを特徴とする。

【0016】また、本発明のPLL周波数シンセサイザは、間欠動作時にPLLループの信号経路をカットし、前記第2の発振器を制御する前記積分器内の容量の電荷により、前記第2の発振器の出力周波数を保つPLLループのオープン及びクローズする手段を備えている、ことを特徴とする。

【0017】さらに、本発明のPLL周波数シンセサイザは、PLLループのクローズ時に、前記位相比較器より出力される初期位相差信号を後段に伝達しない初期位相差濾波器を備えている、ことを特徴とする。

【0018】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明のPLLシンセサイザは、その好ましい実施の形態において、基準発振器の出力を分周する固定分周する固定分周器(図1の5)とVCOの出力を可変分周する可変分周器(図1の2)とがリセット機能を具備し、位相比較器(図1の13)での初期位相誤差を検出し、固定及び可変分周器のリセットを制御する

とともに、その初期位相誤差を、後段のチャージポンプ（CP）（図1の15）に伝えないように制御する初期位相差検出濾波回路（図1の14）を有する。

【0019】PLLシンセサイザの間欠動作において、クローズループ時、2つの分周器の出力の初期位相差を、位相比較器（図1の13）の第1のパルス出力より検出し、位相の進んでいる分周器出力側の分周器をリセットし、位相の遅れている側の分周器出力の立上りに合わせリセットを解除することにより、2つの分周出力位相を等しくし、初期位相差の情報を有する位相比較器の第1パルスを、後段には伝えず、位相を合わせた後に、位相比較器出力を開放することにより、位相同期ループの引込み時間を短縮するものである。

【0020】

【実施例】本発明の実施例について図面を参照して以下に説明する。

【0021】図1は、本発明の一実施例をなすPLLシンセサイザの構成をブロック図にて示したものである。

【0022】図1において、図5、図6と同一の機能を有する要素には、同一の参照番号を付してあり、同一機能を有する構成要素については重複を回避するために、適宜その説明は省略し、以下では、本発明の一実施例の特徴部をなす構成について説明する。

【0023】図1を参照して、本発明の一実施例は、基準発振器4、基準発振器4の出力を固定分周する分周器5と、電圧制御発振器（VCO）1と、VCO1の出力を可変分周する可変分周器2と、固定分周器5と可変分周器2の出力の位相比較を行う位相比較部13（チャージポンプは含まない）と、濾波器14と、チャージポンプ回路15と、間欠動作信号9で位相ループのオープン／クローズをが切替るスイッチSW6と、低域通過フィルタ（LPF）7と、位相比較部13からの初期位相誤差信号より固定分周器5と可変分周器2のリセットを制御すると共に、且濾波器14により初期位相誤差のチャージポンプ15への出力をカットするように制御する初期位相差検出回路16と、を備えて構成されている。

【0024】固定分周器5、可変分周器2はそれぞれリセット（Reset）端子を備え、検出回路16からのリセット信号によりリセットされる。

【0025】図2は、図1の破線内の構成、すなわち本発明の一実施例の要部をなす、位相比較器部13、検出回路16、及び濾波器14の回路構成の詳細を示したものである。図2を参照すると、位相比較部13は、固定分周器5、可変分周器2の出力 f_N 、 f_M を入力しその位相差を検出して位相進み信号 f_D 、位相遅れ信号 f_U を出力するデジタル位相比較回路を含み、検出回路16は、位相比較部13からの位相進み信号 f_D 、位相遅れ信号 f_U をそれぞれクロック端子に入力し、間欠動作信号9をリセット端子に入力し、データ入力を例えば電源電位に固定したD型フリップフロップ24、25と、D

型フリップフロップ24、25の出力 Q_D 、 Q_U を入力とするORゲート23と、位相比較部13からの f_D とORゲート23の出力 F を入力とするORゲート21と、位相比較部13からの f_U とORゲート23の出力 F を入力とするORゲート22と、を備え、ORゲート21、22の出力Reset M、Reset Nは、それぞれ固定分周器5、および可変分周器2のリセット（Reset）端子に接続されており、ORゲート23の出力 F は濾波器14のORゲート27、及びANDゲート26の—oneの入力端に接続されている。濾波器14のORゲート27、ANDゲート26の他の入力端にはそれぞれ、位相比較部13からの位相遅れ信号 f_U 、位相進み信号 f_D の反転信号である信号 $\overline{f_D}$ が接続されている。

【0026】図2を参照して、動作の詳細を説明する。

【0027】間欠動作時において、オープンループの状態にあっても、VCO1の発振周波数はLPF7内の容量の電荷により一定に保たれる為、クローズループに際しても、固定分周器5の出力 f_M と可変分周器2の出力 f_N との間の周波数差は殆どないことは前述の通りである。

【0028】しかし、その位相差は不定であり、位相比較部13においてクローズループでの初期位相差信号には、固定分周器5の出力 f_M を基準として、位相進み信号 f_D 、位相遅れ信号 f_U のどちらかが出力される。

【0029】図3に、位相進み信号 f_D が出力された場合、図4に、位相遅れ信号 f_U が出力された場合の、各部信号のタイミングチャートを示す。

【0030】まず図3を参照して、まず、 f_D 出力の場合であるが、可変分周器2の出力 f_N が先にLからHに立上がった時点で位相進み信号 f_D がH→Lとなる。

【0031】初期位相差検出回路16内において、間欠動作信号9をリセット入力とするフリップフロップ（FF）24、25の出力について、FF25の出力 Q_U はL、FF24の出力 Q_D も f_D が再び立上がるまで、Lであるため、FF25、24の出力 Q_U 、 Q_D を入力とするORゲート23の出力はLであり、また f_D とORゲート23の出力を入力とするORゲート21の出力は f_D 出力を反映し、可変分周器2のリセット入力として可変分周器2をリセットする。

【0032】固定分周器5の出力 f_M が立上がると共に、位相差信号 f_D は、再びL→Hに戻り、FF24の出力 Q_D もL→Hとなり、ORゲート23及びORゲート21（出力はH）を通して、可変分周器2のリセットを解除し、可変分周器2を動作開始させ、 f_N を f_M の位相に一致させる。

【0033】この時、位相比較部13からの初期位相差信号 f_D は、濾波器14内のANDゲート26により、検出回路16のORゲート23の出力が、 f_M の立上りまで、Lになっている為、後段のチャージポンプ（C

P) 15への出力 f'_{D^-} (記号 $-$ は反転を示す)には反映されず、 f'_{D^-} としては、可変分周器2のリセット解除後、 f_N と f_M の初期位相を合わせた後の周波数差に基づく位相差信号のみが出力されることになる。

【0034】次に、図4を参照して、位相遅れ信号 f_U がクローズループ時に出力された場合、同様に固定分周器5の出力 f_M が先に立上った時点で、 f_U がH→Lとなり、ORゲート22の出力を通し、固定分周器5のリセット入力として、固定分周器5をリセットする。

【0035】可変分周器2の出力 f_N の立上がりで、FF25の出力 Q_U がL→Hより、ORゲート23、ORゲート22を通し、固定分周器5のリセットを解除し、 f_M を f_N の位相に一致させる。

【0036】濾波器14のORゲート27により、初期位相差信号 f_V は伝達されず、同様に f_M 、 f_N の周波数差に基づく位相差信号のみが出力されることになる。

【0037】

【発明の効果】以上説明したように、本発明によれば、間欠動作時の同期引込み時間を大幅に短縮するという効果を奏するものであり、このため、動作時間の削減による省電力化を達成するものである。

【0038】その理由は、本発明においては、PLLループにおいて、基準発振器出力の固定分周器と電圧制御発振器の可変分周器にリセット機能を備え、動作再開時には、初期位相差検出に応じて両分周器の動作を操作することにより、位相を一致させるように構成したことによる。

【図面の簡単な説明】

【図1】本発明の一実施例のPLL周波数シンセサイザの構成を示すブロック図である。

【図2】本発明の一実施例のPLL周波数シンセサイザ

の要部の回路構成の詳細を示した図である。

【図3】本発明の一実施例のPLL周波数シンセサイザの動作を説明するための要部信号タイミングチャートである。

【図4】本発明の一実施例のPLL周波数シンセサイザの動作を説明するための要部信号タイミングチャートである。

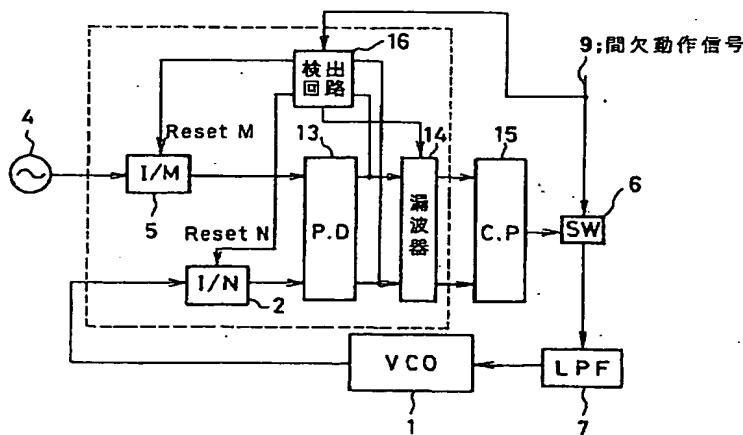
【図5】従来の間欠動作型PLL周波数シンセサイザの構成を示すブロック図である。

【図6】従来の高速引込み型PLL周波数シンセサイザの構成を示すブロック図である。

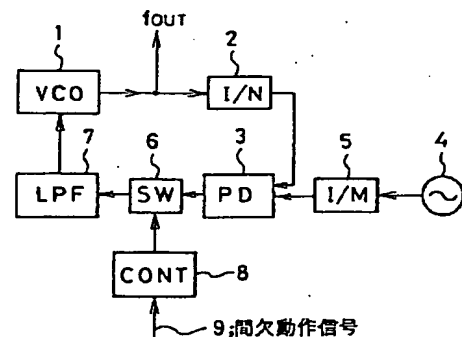
【符号の説明】

- 1 電圧制御発振器
- 2 可変分周器
- 3 位相比較器
- 4 基準発振器
- 5 固定分周器
- 6 ループSW
- 6 LPF
- 8 間欠動作制御部
- 9 間欠動作信号
- 10 ゲート回路1
- 11 ゲート回路2
- 12 ゲート回路制御部
- 13 位相比較器
- 14 位相差信号濾波器
- 15 チャージポンプ
- 16 位相差信号検出回路
- 21、22、23、27 ORゲート
- 24、25 フリップフロップ (FF)
- 26 ANDゲート

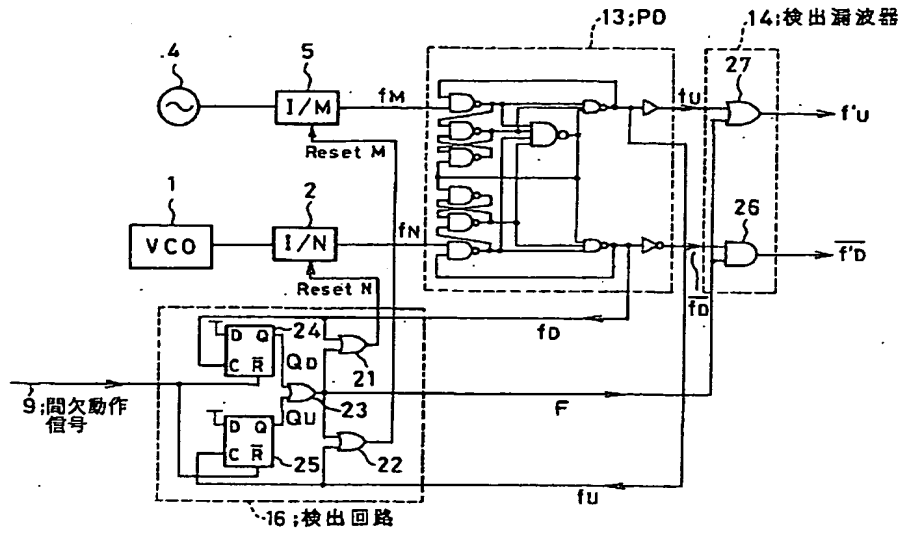
【図1】



【図5】

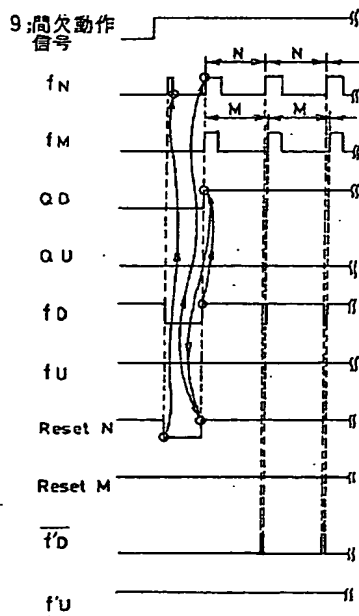


【図2】



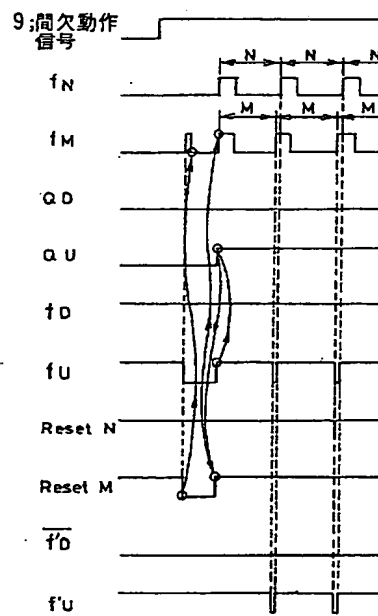
【図3】

(a) 位相進み時
(f_{Down} 出力時)



【図4】

(b) 位相遅れ時
(f_{Up} 出力時)



【図6】

